

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-142533

(43)Date of publication of application : 02.06.1995

(51)Int.Cl.

H01L 21/60
G02F 1/136
H01L 21/316
H01L 21/3205
H01L 29/786

(21)Application number : 05-288505

(71)Applicant : MATSUSHITA ELECTRIC IND CO
LTD

(22)Date of filing : 17.11.1993

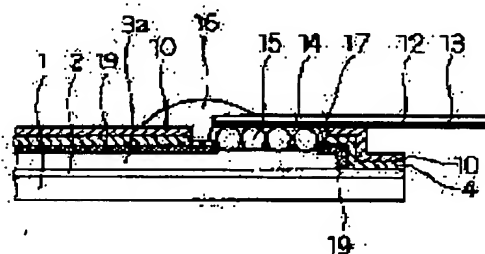
(72)Inventor : MINO YOSHIKO

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To prevent contamination on a gate mounting electrode plane composed of Al film or Al alloy film before TAB mounting process.

CONSTITUTION: An anodic oxide film 19 using electrochemical method is formed around on a mounting electrode formed of Al film or Al alloy film on the side of a gate which extends to the outside, and an insulating film 4 is formed on the electrode 3a so as to protect the top of the mounting electrode 3a. Electrical connection between a TAB electrode and a TFT mounting electrode is performed by permitting the connecting particles 15 in an anisotropic film 14 to penetrate the insulation film 4 on the electrode 3a by TAB thermocompression bonding. Mounting electrode parts other than the TAB connecting part are protected by the anodic oxide film 19 and the insulating film 4, and corrosion due to humid environment is prevented.



LEGAL STATUS

[Date of request for examination] 14.11.2000

[Date of sending the examiner's decision of rejection] 10.06.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-142533

(43) 公開日 平成7年(1995)6月2日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/60	3 1 1 R	6918-4M		
G 0 2 F 1/136	5 0 0			
H 0 1 L 21/316	T	7352-4M		
		9056-4M	H 0 1 L 21/ 88	T
			29/ 78	3 1 1 A
	審査請求	未請求	請求項の数 4	〇 L (全 5 頁) 最終頁に続く

(21) 出願番号 特願平5-288505

(22) 出願日 平成5年(1993)11月17日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 美濃 美子

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 弁理士 松田 正道

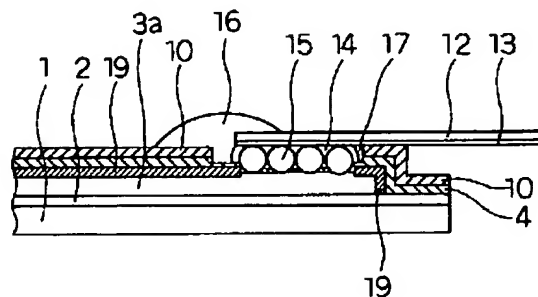
(54) 【発明の名称】 半導体装置

(57) 【要約】

13: TAB電極 15: 導電粒子

【目的】TAB実装工程に至るまで、AlもしくはAlの合金膜で構成されたゲート実装電極面の汚染を防止すること。

【構成】AlもしくはAlの合金膜で構成され、外部に引出されたゲート側の実装電極3a上の周囲に、電気化学的手法による陽極酸化膜19を形成し、さらに電極3a面に絶縁膜4を形成して実装電極3a上を保護している。そして、TAB電極とTFT実装電極との電氣的接続は、TAB熱圧着によって異方膜14中の接続粒子15が電極3a表面の絶縁被膜4を貫通することで得る。TAB接続部以外の実装電極部は、陽極酸化膜19および絶縁膜4で保護し湿中環境による腐食を防止させる。



(2)

特開平 7-142533

1

2

【特許請求の範囲】

【請求項 1】 基板の一主面上に第 1 の導電体層が選択的に被着形成され、半導体層が絶縁薄膜層を介して前記第 1 の導電体層と一部重なり合うように形成され、第 2 の導電体層が前記半導体層と直接または第 3 の導電体層を介して電氣的に接続されるように一部重なりを持って形成され、さらに、信号入力用外部引出し電極が前記第 1、第 2 の導電体層で構成されている半導体装置において、前記引出し電極の全部又は一部の面には絶縁保護膜が形成され、その厚さは、実装接続の際利用される導電部材の接続工程において、貫通する程度の厚さであることを特徴とする半導体装置。

【請求項 2】 引出し電極には酸化被膜が形成されていることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 酸化被膜は、陽極酸化法によって形成されたことを特徴とする請求項 2 記載の半導体装置。

【請求項 4】 半導体装置は薄膜トランジスタを有する液晶表示装置であり、前記トランジスタのゲート電極及びソース電極の信号入力用外部引出し電極が、A1 あるいは A1 の合金膜で構成されて成ることを特徴とする請求項 1、2 又は、3 記載の半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、液晶等と組み合わせて画像表示装置を構成するための薄膜トランジスタ（以降 TFT と呼ぶ）を多数配置した半導体装置に関するものである。

【0002】

【従来の技術】 従来の TFT アレイの製造方法について、図 3（a）～（d）を用い以下に説明する。

【0003】 まず第 1 の工程では絶縁性透明基板としてガラス基板 1 上にアンダーコート膜として SiO₂ 膜 2 を全面形成する。次に第 2 の工程では前記基板 1 上にゲート電極 3 となる第 1 の金属膜として、例えば A1 膜もしくは A1 合金膜をパターン形成する。この時信号入力用引出し電極となる、ゲート側の TAB 実装用電極 3a は前記ゲート配線 3 の延長端部に引き出され同ゲート材で配置される（図 3（a）参照）。

【0004】 次に第 3 の工程では、ゲート絶縁膜 4、シリコン半導体層 5、及びチャネル保護膜 6 を成膜する。第 4 の工程では、ゲート電極 3 上のチャネル保護膜 6 をパターニングする（図 3（b）参照）。次に第 5 の工程では、n⁺：シリコン膜を形成し、将来 TFT が形成されるように該 n⁺：シリコン膜及びシリコン半導体層 5 をパターニングする。

【0005】 第 6 の工程では、画素電極 8 として透明導電膜 ITO を成膜しパターン形成する（図 3（c）参照）。

【0006】 第 7 の工程ではソース・ドレイン電極 9 とする第 2 の金属膜として例えば Ti/A1 をパターン形

成する。このとき信号入力用引出し電極として、ソース側の TAB 実装用電極は前記ソース配線 9 の延長端部に引き出され同ソース材で配置される。

【0007】 そして第 8 の工程では絶縁保護膜 10 となる SiNx 膜を形成することで、前記ゲート側の TAB 実装用電極上 3a には層間絶縁膜 4 及び絶縁保護膜 10 としての SiNx 膜が載置され、ソース側の TAB 実装用電極上には絶縁保護膜 10 としての SiNx 膜が載置される。

【0008】 最後に第 9 の工程として、該絶縁保護膜 10 をパターン形成する。この時、前記層間絶縁膜 4 及び絶縁保護膜 10 としての SiNx 膜は、例えば SF₆ ガスによるドライエッチングにてエッチ除去されることで個々の電極材が露出され、TFT アレイ基板 11 が完成する（図 3（d）参照）。

【0009】 そして、ゲートおよびソースの実装電極部に TAB 実装を施し、信号入力用電極を引き出す。TAB 実装構成を図 4（a）および（b）に示す。TAB は有機フィルム 12 に印刷された TAB 電極 13 と TFT アレイ基板側の前記実装電極とを接着性異方膜 14 中に含有させた導電粒子 15 を介して電氣的接続をするものである。そしてその後、保護用として例えばシリコン樹脂 16 を TAB 実装周囲に塗布、硬化させて完成する。

【0010】

【発明が解決しようとする課題】 しかしながら、このような従来構成では、図 5 に示すように、実装電極であるゲートおよびソースの金属膜面を露出させた状態で TAB 実装を施して高温高湿試験にかけたところ、試験環境に曝される部分 17 では A1 消失 18 が見られ、断線に至るものがあった。それは、TAB 実装工程までの電極面汚染や、TAB 実装不備による実装電極保護不良によるものであった。

【0011】 本発明は、そのような TAB 実装工程までの A1 汚染を防止できる半導体装置を提供することを目的とするものである。

【0012】

【課題を解決するための手段】 本発明は、例えば、A1 もしくは A1 の合金膜で構成され、外部に引出されたゲート側の実装電極上の周囲に、電気化学的手法による陽極酸化膜を形成し、さらに電極面に絶縁膜を形成してなるものである。

【0013】

【作用】 本発明によると、例えば、陽極酸化膜および絶縁膜下の A1 は保護され、TAB 実装工程に至るまで実装電極面の汚染を防止する。そして、TAB 電極と TFT 実装電極との電氣的接続は TAB 熱圧着によって異方膜中の接続粒子が電極表面に残存させた絶縁被膜を貫通することで得る。TAB 接続部以外の実装電極部は、前記陽極酸化膜および絶縁膜で保護され、A1 もしくは A1 の合金膜で構成された実装電極の、湿中環境による腐

(3)

特開平7-142533

3

4

食を防止させる。

【0014】

【実施例】以下、本発明の実施例について図面を参照して説明する。

【0015】本発明の半導体装置の製造方法について、図1(a)～(d)を用い以下に説明する。

【0016】まず従来技術と同様に、第1の工程では絶縁性透明基板としてガラス基板1上にアンダーコート膜としてSiO₂膜2を全面形成する。次に第2の工程では前記基板1上にゲート電極3となる第1の金属膜として、例えばAl膜或はAl合金膜をパターン形成する。このとき信号入力用引出し電極となる、ゲート側のTAB実装電極3aは前記ゲート配線3の延長端部に引き出され同ゲート材で配置される(図1(a)参照)。

【0017】次に第3の工程では電気化学的手法により前記ゲート側TAB実装電極3aの周辺部やゲート配線3に陽極酸化膜19を形成する(図1(b)参照)。

【0018】次に第4の工程では、ゲート絶縁膜4、シリコン半導体層5、及びチャネル保護膜6を成膜する。第5の工程では、ゲート電極3上のチャネル保護膜6をパターニングする(図1(c)参照)。次に第6の工程では、n⁺：シリコン膜を形成し、将来TF₂Tが形成されるように該n⁺：シリコン膜及びシリコン半導体層5をパターニングする。

【0019】第7の工程では、画素電極8として透明導電膜ITOを成膜しパターン形成する(図1(d)参照)。

【0020】第8の工程ではソース・ドレイン電極9となる第2の金属膜として例えばTi/Alをパターン形成する。このとき信号入力用引出し電極として、ソース側のTAB実装電極9aは前記ソース配線9の延長端部に引き出され同ソース材で配置される。

【0021】そして第9の工程では絶縁保護膜10となるSiNx膜を形成することで、前記ゲート側のTAB実装電極上3aには層間絶縁膜4と絶縁保護膜10としてのSiNx膜が載置され、ソース側のTAB実装電極9a上には絶縁保護膜10としてのSiNx膜が載置される。

【0022】最後に第10の工程として、該絶縁保護膜10をパターン形成する。このとき、前記層間絶縁膜4及び絶縁保護膜10としてのSiNx膜は、例えばSF₆ガスによるドライエッチングにてエッチ除去する。このときゲートのTAB実装電極面には極めて薄い前記層間絶縁膜4を残存保護させる。

【0023】このようにして薄膜トランジスタアレイ基板11が完成する(図1(d)参照)。

【0024】そして、図2に示すように、ゲートおよびソースの実装電極部にTAB実装を施し、信号入力用電極を引き出す。

【0025】図から分かるように、TF₂Tアレイ基板の

実装電極は、接着性異方膜14中に含有させた導電粒子15がTAB加圧によって前記残存させた絶縁保護薄膜4を貫通し、TAB電極13と実装電極3aとの電氣的接続を得る。

【0026】なお、本実施例ではソース電極となる第2の金属膜としてTi/Alを用いているが、ゲート電極と同様第1の金属膜を用いて、ゲート、ソース相方に本発明の構成を用いてもよい。

【0027】また、本実施例ではTAB実装電極の周辺部に陽極酸化膜を形成し、TAB実装電極の全面に極めて薄い層間絶縁膜4を残存保護させているが、TAB加圧によって導電粒子15が貫通し、TAB電極13と実装電極3aとの電氣的接続が得られる程度の陽極酸化被膜をTAB実装電極上全面に形成してもよい。

【0028】また、本発明の層間絶縁膜を貫通する導電部材は、上記実施例では、導電粒子であったが、その他の部材でももちろんかまわない。

【0029】

【発明の効果】以上述べたところから明らかなように、本発明の構成によると、TAB実装電極面には絶縁保護膜が形成され、TAB実装工程までのAl汚染を防止できる。

【0030】また、腐食性の高いAl系金属に対し、ゲート電極では、例えばその周辺部に陽極酸化膜と絶縁膜を設けることでTAB接続面以外の部分も保護され、湿中環境でのAl腐食を防止できる。従って、信頼性の高い液晶表示装置を提供するものである。

【図面の簡単な説明】

【図1】本発明の半導体装置の一実施例であるTF₂Tアレイ工程断面図

【図2】本発明の上記実施例のTF₂TアレイによるTAB実装電極断面構成図

【図3】従来のTF₂Tアレイ工程断面図

【図4】従来のTF₂TアレイによるTAB実装電極構成図

【図5】従来のTAB実装電極部Al腐食状態

【符号の説明】

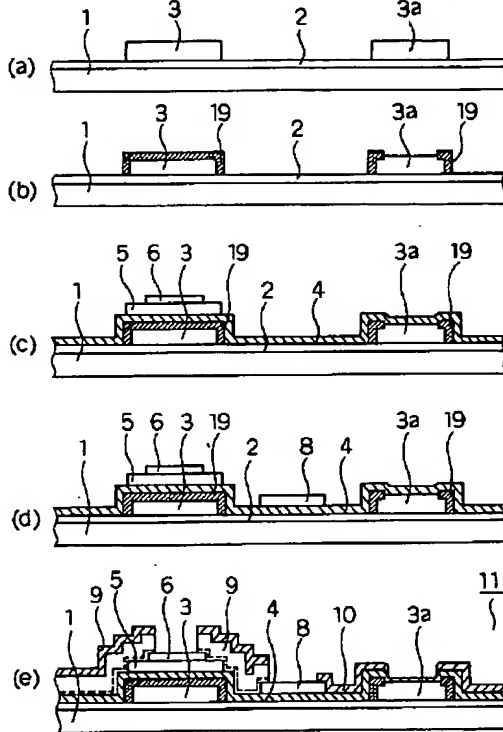
- 1 ガラス基板
- 2 SiO₂膜
- 3 ゲート電極
- 3a ゲート側実装電極
- 4 層間絶縁膜
- 5 シリコン半導体層
- 6 チャネル保護膜
- 9 ソース・ドレイン電極
- 9a ソース側実装電極
- 10 絶縁保護膜
- 13 TAB電極
- 15 導電粒子
- 19 陽極酸化膜

(4)

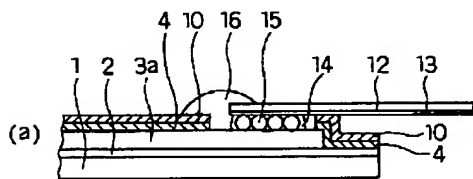
特開平7-142533

【図1】

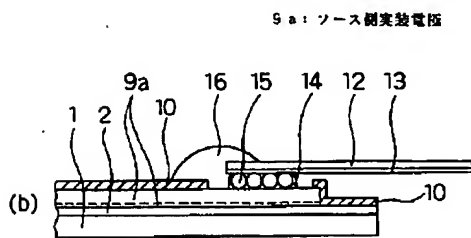
1: ガラス基板 2: SiO₂膜 3: ゲート電極
 3a: ゲート側実装電極 4: 層間絶縁膜
 5: シリコン半導体層 6: チャネル保護膜
 9: ソース・ドレイン電極 10: 絶縁保護膜 19: 陽極酸化膜



【図4】



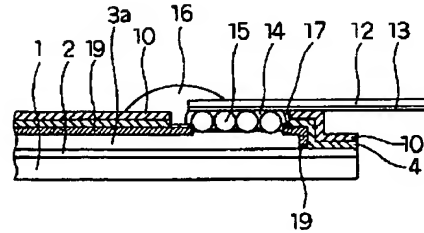
ゲート実装電極部



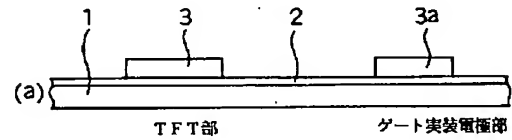
ソース実装電極部

【図2】

13: TAB電極 15: 導電粒子

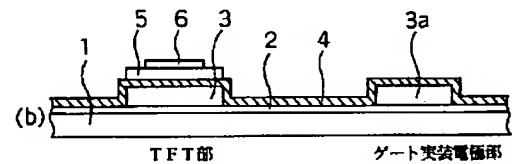


【図3】



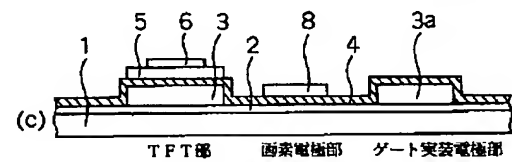
TFT部

ゲート実装電極部



TFT部

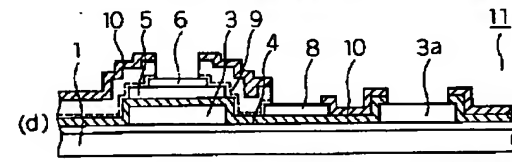
ゲート実装電極部



TFT部

画素電極部

ゲート実装電極部

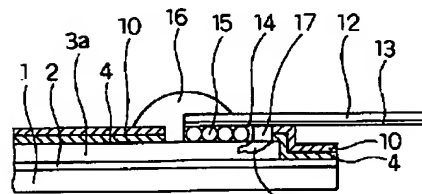


TFT部

画素電極部

ゲート実装電極部

【図5】



ゲート実装電極部

(5)

特開平7-142533

フロントページの続き

(51) Int. Cl. ⁶

H 0 1 L 21/3205

29/786

識別記号

庁内整理番号

F I

技術表示箇所